

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: **Yasuyuki TAMURA et al.**

Serial Number: **Not Yet Assigned**

Filed: **January 29, 2004**

For: **SEMICONDUCTOR DEVICE AND METHOD FOR FABRICATING THE SAME**
Attorney Docket No.: **042069**
Customer No.: **38834**

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Commissioner for Patents
P. O. Box 1450
Alexandria, VA 22313-1450

January 29, 2004

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

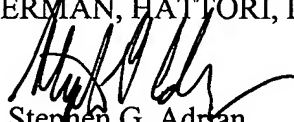
Japanese Appln. No. 2003-031863, filed on February 10, 2003

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicants have complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 50-2866.

Respectfully submitted,
WESTERMAN, HATTORI, DANIELS & ADRIAN, LLP


Stephen G. Adrian
Reg. No. 32,878

1250 Connecticut Avenue, N.W., Suite 700
Washington, D.C. 20036
Tel: (202) 822-1100
Fax: (202) 822-1111
SGA/yap



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 2 月 1 0 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 0 3 1 8 6 3
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 0 3 1 8 6 3]

出 願 人 富 士 通 株 式 会 社
Applicant(s):

2 0 0 3 年 1 0 月 2 0 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康



【書類名】 特許願

【整理番号】 0241580

【提出日】 平成15年 2月10日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/78

【発明の名称】 半導体装置及びその製造方法

【請求項の数】 10

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内

【氏名】 田村 泰之

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内

【氏名】 杉山 芳弘

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100087479

【弁理士】

【氏名又は名称】 北野 好人

【選任した代理人】

【識別番号】 100114915

【弁理士】

【氏名又は名称】 三村 治彦

【手数料の表示】

【予納台帳番号】 003300

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0012600

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 半導体基板上に形成され、酸化シリコン系絶縁膜と、前記酸化シリコン系絶縁膜上に形成された高誘電率膜と、前記高誘電率膜上に形成され、前記高誘電率膜よりも酸素の拡散係数が低い酸素拡散防止膜とを含むゲート絶縁膜と、

前記ゲート絶縁膜上に形成されたゲート電極と

を有することを特徴とする半導体装置。

【請求項 2】 半導体基板の第 1 の領域上に形成され、酸化シリコン系絶縁膜と、前記酸化シリコン系絶縁膜上に形成された高誘電率膜と、前記高誘電率膜上に形成され、前記高誘電率膜よりも酸素の拡散係数が低い酸素拡散防止膜とを含む第 1 のゲート絶縁膜と、

前記第 1 のゲート絶縁膜上に形成された第 1 のゲート電極と、

前記半導体基板の第 2 の領域上に形成され、前記高誘電率膜と、前記高誘電率膜上に形成された前記酸素拡散防止膜とを含む第 2 のゲート絶縁膜と、

前記第 2 のゲート絶縁膜上に形成された第 2 のゲート電極と

を有することを特徴とする半導体装置。

【請求項 3】 請求項 1 又は 2 記載の半導体装置において、
前記高誘電率膜は、酸化ハフニウム膜又は酸化ジルコニウム膜であることを特徴とする半導体装置。

【請求項 4】 半導体基板上に形成され、酸化シリコン系絶縁膜と、前記酸化シリコン系絶縁膜上に形成された難還元性の高誘電率膜とを含むゲート絶縁膜と、

前記ゲート絶縁膜上に形成されたゲート電極と

を有することを特徴とする半導体装置。

【請求項 5】 半導体基板の第 1 の領域上に形成され、酸化シリコン系絶縁膜と、前記酸化シリコン系絶縁膜上に形成された難還元性の高誘電率膜とを含む第 1 のゲート絶縁膜と、

前記第 1 のゲート絶縁膜上に形成された第 1 のゲート電極と、
前記半導体基板の第 2 の領域上に形成され、前記高誘電率膜を含む第 2 のゲート絶縁膜と、
前記第 2 のゲート絶縁膜上に形成された第 2 のゲート電極と
を有することを特徴とする半導体装置。

【請求項 6】 請求項 4 又は 5 記載の半導体装置において、
前記高誘電率膜は、ハフニウムアルミネート膜である
ことを特徴とする半導体装置。

【請求項 7】 半導体基板上に、酸化シリコン系絶縁膜を形成する工程と、
前記酸化シリコン系絶縁膜上に、高誘電率膜を形成する工程と、
前記高誘電率膜上に、前記高誘電率膜よりも酸素の拡散係数の低い酸素拡散防止膜を形成する工程と、
前記酸素拡散防止膜上に、ゲート電極を形成する工程と
を有することを特徴とする半導体装置の製造方法。

【請求項 8】 第 1 の領域の半導体基板上に、酸化シリコン系絶縁膜を形成する工程と、

前記第 1 の領域の前記酸化シリコン系絶縁膜上及び第 2 の領域の前記半導体基板上に、高誘電率膜を形成する工程と、

前記第 1 の領域の前記高誘電率膜上及び前記第 2 の領域の前記高誘電率膜上に、前記高誘電率膜よりも酸素の拡散係数の低い酸素拡散防止膜を形成する工程と

、
前記第 1 の領域の前記酸素拡散防止膜上に第 1 のゲート電極を形成し、前記第 2 の領域の前記酸素拡散防止膜上に第 2 のゲート電極を形成する工程と
を有することを特徴とする半導体装置の製造方法。

【請求項 9】 半導体基板上に、酸化シリコン系絶縁膜を形成する工程と、
前記酸化シリコン系絶縁膜上に、難還元性の高誘電率膜を形成する工程と、
前記高誘電率膜上に、ゲート電極を形成する工程と
を有することを特徴とする半導体装置の製造方法。

【請求項 10】 第 1 の領域の半導体基板上に、酸化シリコン系絶縁膜を形

成する工程と、

前記第 1 の領域の前記酸化シリコン系絶縁膜上及び第 2 の領域の前記半導体基板上に、難還元性の高誘電率膜を形成する工程と、

前記第 1 の領域の前記高誘電率膜上に第 1 のゲート電極を形成し、前記第 2 の領域の前記高誘電率膜上に第 2 のゲート電極を形成する工程と

を有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、膜厚、材料等の異なるゲート絶縁膜を有する MOS 構造が混在する半導体装置及びその製造方法に関する。

【0002】

【従来の技術】

近年、論理回路、RAM (Random Access Memory)、EPROM (Erasable Programmable Read Only Memory)、LCD (Liquid Crystal Display) 等の半導体デバイスの高速化、高集積化、多種混載化が急速に進行している。この結果、このような半導体デバイスの MOS (Metal Oxide Semiconductor) 構造におけるゲート絶縁膜やトンネル絶縁膜等の絶縁膜としては、従来用いられていたシリコン酸化膜に代わる種々の絶縁膜が用いられるようになってきている。

【0003】

これまで、MOS 構造におけるゲート絶縁膜やトンネル絶縁膜等の絶縁膜には、シリコン酸化膜よりなる絶縁膜が用いられていた。しかしながら、半導体デバイスの微細化に伴い、ゲート絶縁膜やトンネル絶縁膜の薄膜化が進行している。このため、トンネル電流によるゲートリーク電流の増加等という難点が顕在化してきている。かかる難点を解消するために、シリコン酸化膜よりも誘電率の高い絶縁膜（以下、High-k 絶縁膜という）をゲート絶縁膜等として用い、ゲート絶縁膜等の物理膜厚を厚くすることが検討されている。このような High-k 絶縁膜材料として、その高い誘電率、シリコンとの高い反応自由エネルギー、高いバンドギャップ等の特性から、酸化ハフニウム (HfO_2)、ハフニウムア

ルミネート (HfAlO)、酸化ジルコニウム (ZrO₂) が近年注目されている (例えば、非特許文献 1、2 を参照)。

【0004】

また、LSI の回路内部では、MOS トランジスタ等の素子に印加される電圧が一定ではなく、高電圧が印加される領域と、低電圧が印加される領域とが混在している。このような LSI の回路内部では、高電圧が印加される領域における MOS トランジスタは、ゲートリーク電流を抑制し、高い信頼性を確保するために、厚いゲート絶縁膜を有するトランジスタとなっている。一方、低電圧が印加される領域における MOS トランジスタは、高性能化のために、薄いゲート絶縁膜を有するトランジスタとなっている。このような膜厚の異なるゲート絶縁膜を有する MOS トランジスタが基板上に混在する場合のゲート絶縁膜は、例えば図 9 に示すようにして形成される。

【0005】

まず、素子分離絶縁膜 102 により素子領域が画定されたシリコン基板 100 を熱酸化することにより、シリコン基板 100 表面に、シリコン酸化膜 104 を形成する (図 9 (a) を参照)。

【0006】

次いで、高電圧印加領域にフォトリソ膜 106 を形成した後、エッチングにより低電圧印加領域におけるシリコン酸化膜 104 を除去する (図 9 (b) を参照)。

【0007】

次いで、高電圧印加領域のフォトリソ膜 106 を除去した後、再度シリコン基板 100 を熱酸化することにより、低電圧印加領域においてシリコン酸化膜 108 を形成する (図 9 (c) を参照)。このとき、高電圧印加領域のシリコン酸化膜 104 は再酸化され、この結果、膜厚が厚くなる。

【0008】

こうして、シリコン基板 100 の高電圧印加領域に厚いシリコン酸化膜 104 よりなるゲート絶縁膜が形成され、低電圧印加領域に薄いシリコン酸化膜 108 よりなるゲート絶縁膜が形成される。

【0009】

低電圧印加領域におけるゲート絶縁膜として、シリコン酸化膜ではなくて、High-k 絶縁膜を用いる場合には、例えば図10に示すようにして形成される。

【0010】

まず、素子分離絶縁膜により素子領域が画定されたシリコン基板を熱酸化することにより、シリコン基板100表面に、シリコン酸化膜104を形成する（図10（a）を参照）。

【0011】

次いで、高電圧印加領域にフォトリソ膜106を形成した後、エッチングにより低電圧印加領域におけるシリコン酸化膜104を除去する（図10（b）を参照）。

【0012】

次いで、高電圧印加領域のフォトリソ膜106を除去した後、CVD（Chemical Vapor Deposition）法により、全面に、酸化ハフニウム膜、酸化ジルコニウム膜等のHigh-k 絶縁膜110を形成する（図10（c）を参照）。

【0013】

こうして、シリコン基板100の高電圧印加領域にシリコン酸化膜104とHigh-k 絶縁膜110との積層膜よりなる厚いゲート絶縁膜が形成され、低電圧印加領域にHigh-k 絶縁膜110よりなる薄いゲート絶縁膜が形成される。

【0014】

【非特許文献1】

E.P. Gusev et al., “Ultra high-K gate stacks for advanced CMOS devices” International Electron Devices Meeting Technical Digest (2001), p. 451-454

【非特許文献2】

W. Zhu et al., “HfO₂ and HfAlO for CMOS: Thermal Stability and Current Transport” International Electron Devices Meeting Technical D

igest (2001), p. 463 - 466

【0 0 1 5】

【発明が解決しようとする課題】

上述のように、同一基板上の異なる領域に、異なるゲート絶縁膜を形成する場合、ある領域にシリコン酸化膜とH i g h - k 絶縁膜との積層構造を有するゲート絶縁膜が形成される場合がある。すなわち、図10 (c) に示すように、L S I 等の低電圧印加領域においてH i g h - k 絶縁膜をゲート絶縁膜として用いた場合には、高電圧印加領域において、熱酸化によるシリコン酸化膜とH i g h - k 絶縁膜との積層構造のゲート絶縁膜が形成されることとなる。

【0 0 1 6】

本願発明者等は、このようなシリコン酸化膜とH i g h - k 絶縁膜との積層構造のゲート絶縁膜を有するM O S トランジスタについて、シリコン酸化膜とH i g h - k 絶縁膜の膜厚等から想定されるゲートリーク電流よりも大きなゲートリーク電流が発生する場合を確認している（2 0 0 2 年春季 第4 9 回応用物理学関係連合講演会講演予稿集N o . 2、p. 8 2 0 を参照）。この結果、トランジスタ特性が劣化してしまうことがあった。

【0 0 1 7】

本発明の目的は、膜厚、材料等の異なるゲート絶縁膜を有するM O S 構造が混在する場合に、素子特性の劣化を招くことなく高誘電率膜をゲート絶縁膜として用いる半導体装置及びその製造方法を提供することにある。

【0 0 1 8】

【課題を解決するための手段】

上記目的は、半導体基板上に形成され、酸化シリコン系絶縁膜と、前記酸化シリコン系絶縁膜上に形成された高誘電率膜と、前記高誘電率膜上に形成され、前記高誘電率膜よりも酸素の拡散係数が低い酸素拡散防止膜とを含むゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極とを有することを特徴とする半導体装置により達成される。

【0 0 1 9】

また、上記目的は、半導体基板の第1の領域上に形成され、酸化シリコン系絶

縁膜と、前記酸化シリコン系絶縁膜上に形成された高誘電率膜と、前記高誘電率膜上に形成され、前記高誘電率膜よりも酸素の拡散係数が低い酸素拡散防止膜とを含む第1のゲート絶縁膜と、前記第1のゲート絶縁膜上に形成された第1のゲート電極と、前記半導体基板の第2の領域上に形成され、前記高誘電率膜と、前記高誘電率膜上に形成された前記酸素拡散防止膜とを含む第2のゲート絶縁膜と、前記第2のゲート絶縁膜上に形成された第2のゲート電極とを有することを特徴とする半導体装置により達成される。

【0020】

また、上記目的は、半導体基板上に形成され、酸化シリコン系絶縁膜と、前記酸化シリコン系絶縁膜上に形成された難還元性の高誘電率膜とを含むゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極とを有することを特徴とする半導体装置により達成される。

【0021】

また、上記目的は、半導体基板の第1の領域上に形成され、酸化シリコン系絶縁膜と、前記酸化シリコン系絶縁膜上に形成された難還元性の高誘電率膜とを含む第1のゲート絶縁膜と、前記第1のゲート絶縁膜上に形成された第1のゲート電極と、前記半導体基板の第2の領域上に形成され、前記高誘電率膜を含む第2のゲート絶縁膜と、前記第2のゲート絶縁膜上に形成された第2のゲート電極とを有することを特徴とする半導体装置により達成される。

【0022】

また、上記目的は、半導体基板上に、酸化シリコン系絶縁膜を形成する工程と、前記酸化シリコン系絶縁膜上に、高誘電率膜を形成する工程と、前記高誘電率膜上に、前記高誘電率膜よりも酸素の拡散係数の低い酸素拡散防止膜を形成する工程と、前記酸素拡散防止膜上に、ゲート電極を形成する工程とを有することを特徴とする半導体装置の製造方法により達成される。

【0023】

また、上記目的は、第1の領域の半導体基板上に、酸化シリコン系絶縁膜を形成する工程と、前記第1の領域の前記酸化シリコン系絶縁膜上及び第2の領域の前記半導体基板上に、高誘電率膜を形成する工程と、前記第1の領域の前記高誘

電率膜上及び前記第 2 の領域の前記高誘電率膜上に、前記高誘電率膜よりも酸素の拡散係数の低い酸素拡散防止膜を形成する工程と、前記第 1 の領域の前記酸素拡散防止膜上に第 1 のゲート電極を形成し、前記第 2 の領域の前記酸素拡散防止膜上に第 2 のゲート電極を形成する工程とを有することを特徴とする半導体装置の製造方法により達成される。

【0024】

また、上記目的は、半導体基板上に、酸化シリコン系絶縁膜を形成する工程と、前記酸化シリコン系絶縁膜上に、難還元性の高誘電率膜を形成する工程と、前記高誘電率膜上に、ゲート電極を形成する工程とを有することを特徴とする半導体装置の製造方法により達成される。

【0025】

また、上記目的は、第 1 の領域の半導体基板上に、酸化シリコン系絶縁膜を形成する工程と、前記第 1 の領域の前記酸化シリコン系絶縁膜上及び第 2 の領域の前記半導体基板上に、難還元性の高誘電率膜を形成する工程と、前記第 1 の領域の前記高誘電率膜上に第 1 のゲート電極を形成し、前記第 2 の領域の前記高誘電率膜上に第 2 のゲート電極を形成する工程とを有することを特徴とする半導体装置の製造方法により達成される。

【0026】

【発明の実施の形態】

[第 1 実施形態]

本発明の第 1 実施形態による半導体装置及びその製造方法について図 1 乃至図 4 を用いて説明する。図 1 は本実施形態による半導体装置の構造を示す断面図、図 2 乃至図 4 は本実施形態による半導体装置の製造方法を示す工程断面図である。

【0027】

まず、本実施形態による半導体装置の構造について図 1 を用いて説明する。

【0028】

シリコン基板 10 に、素子分離絶縁膜 12 により第 1 の素子領域 14 と第 2 の素子領域 16 とが画定されている。

【0029】

第1の素子領域14のシリコン基板10上には、シリコン酸化膜18と、酸化ハフニウム膜よりなる高誘電率膜20と、シリコン窒化膜よりなる酸素拡散防止膜22とが順次積層されてなるゲート絶縁膜23が形成されている。

【0030】

第2の素子領域16のシリコン基板10上には、酸化ハフニウム膜よりなる高誘電率膜20と、シリコン窒化膜よりなる酸素拡散防止膜22とが順次積層されてなるゲート絶縁膜25が形成されている。

【0031】

第1の素子領域14の酸素拡散防止膜22上、及び第2の素子領域16の酸素拡散防止膜22上には、それぞれポリシリコン膜よりなるゲート電極24が形成されている。ゲート電極24の側壁には、サイドウォール絶縁膜26が形成されている。

【0032】

第1の素子領域14及び第2の素子領域16のシリコン基板10内には、ゲート電極24に自己整合で、ドーパント不純物が低濃度に導入され、これにより低濃度拡散層28aが形成されている。さらに、サイドウォール絶縁膜26及びゲート電極24に自己整合で、ドーパント不純物が高濃度に導入され、これにより高濃度拡散層28bが形成されている。これら低濃度拡散層28a及び高濃度拡散層28bにより、LDD (Lightly Doped Drain) 構造のソース／ドレイン拡散層30が構成されている。

【0033】

こうして、第1の素子領域14には、ゲート電極24と、ソース／ドレイン拡散層30とを有し、ゲート絶縁膜23がシリコン酸化膜18を含み厚くなっている高耐圧のトランジスタが形成されている。また、第2の素子領域16には、ゲート電極24と、ソース／ドレイン拡散層30とを有し、ゲート絶縁膜25がシリコン酸化膜18を含まず薄くなっている低電圧動作のトランジスタが形成されている。

【0034】

本実施形態による半導体装置は、第1の素子領域14におけるシリコン酸化膜18と酸化ハフニウム膜よりなる高誘電率膜20との積層膜上に、高誘電率膜20よりも酸素の拡散係数が低いシリコン窒化膜よりなる酸素拡散防止膜22を有することに主たる特徴がある。

【0035】

従来、シリコン酸化膜と酸化ハフニウム膜との積層膜上にポリシリコン膜よりなるゲート電極が形成されたMOSトランジスタでは、ゲートリーク電流が想定される値よりも大きくトランジスタ特性が劣化してしまうことがあった。これは、次のようなシリコン酸化膜の還元反応に起因するものと考えられる。すなわち、従来の半導体装置の製造方法では、シリコン酸化膜と酸化ハフニウム膜との積層膜を形成した後、ゲート電極を形成するためのポリシリコン膜の成膜工程等の還元性雰囲気下での処理が行われる。このような還元性雰囲気下での処理において、シリコン酸化膜が還元される。ここで、シリコン酸化膜上に形成される酸化ハフニウム膜や酸化ジルコニウム膜等からなる高誘電率膜は良好な酸素伝導体であり、シリコン酸化膜の還元反応を促進していると考えられる。この結果、ゲート絶縁膜の絶縁性が低下し、ゲートリーク電流が増大する。

【0036】

上記従来の半導体装置に対し、本実施形態による半導体装置は、酸化ハフニウム膜よりなる高誘電率膜20上に、高誘電率膜20よりも酸素拡散係数の低いシリコン窒化膜よりなる酸素拡散防止膜22が形成されている。この酸素拡散防止膜22の存在により、製造工程における還元性雰囲気下での処理等の際に、高誘電率膜20の下に形成されているシリコン酸化膜18の還元反応を抑制することができる。これにより、第1の素子領域14において、ゲート絶縁膜23の絶縁性の低下を抑制することができ、ゲートリーク電流の増大によるトランジスタ特性の劣化を抑制することができる。

【0037】

次に、本実施形態による半導体装置の製造方法について図2乃至図4を用いて説明する。

【0038】

まず、シリコン基板 10 に、例えば通常の S T I (Shallow Trench Isolation) 法によりシリコン酸化膜よりなる素子分離絶縁膜 12 を形成し、第 1 の素子領域 14 及び第 2 の素子領域 16 を画定する (図 2 (a) を参照)。

【0039】

次いで、例えば熱酸化法により、素子領域のシリコン基板 10 表面に、膜厚 5 . 5 nm のシリコン酸化膜 18 を形成する (図 2 (b) を参照)。

【0040】

次いで、フォトリソグラフィにより、第 1 の素子領域 14 のシリコン酸化膜 18 を覆い、第 2 の素子領域 16 のシリコン酸化膜 18 を露出するフォトレジスト膜 32 を形成する (図 2 (c) を参照)。

【0041】

次いで、フォトレジスト膜 32 をマスクとして、例えば弗酸を用いてシリコン酸化膜 18 をエッチングし、第 2 の素子領域 16 のシリコン基板 10 表面を露出する (図 2 (d) を参照)。

【0042】

シリコン酸化膜 18 のエッチング終了後、第 1 の素子領域 14 のシリコン酸化膜 18 上のフォトレジスト膜 32 を除去し、シリコン基板 10 を洗浄する (図 3 (a) を参照)。

【0043】

次いで、全面に、例えば C V D 法により、膜厚 3 nm の酸化ハフニウム膜よりなる高誘電率膜 20 を形成する。酸化ハフニウム膜よりなる高誘電率膜 20 の成膜条件は、例えば、原料ガスとしてテトラターシャルブトキシハフニウム ($\text{Hf}(\text{O}-t-\text{Bu})_4$)、酸素ガスをを用い、基板温度を 500℃ とする。

【0044】

次いで、高誘電率膜 20 上に、例えば C V D 法により、膜厚 1 nm のシリコン窒化膜よりなる酸素拡散防止膜 22 を形成する。シリコン窒化膜よりなる酸素拡散防止膜 22 の成膜条件は、例えば、原料ガスとして SiH_2Cl_2 、 NH_3 ガスをを用い、基板温度を 600℃ とする。

【0045】

こうして、第1の素子領域14のシリコン基板10上に、シリコン酸化膜18と、酸化ハフニウム膜よりなる高誘電率膜20と、シリコン窒化膜よりなる酸素拡散防止膜22とが順次積層されてなるゲート絶縁膜23が形成され、第2の素子領域16のシリコン基板10上に、酸化ハフニウム膜よりなる高誘電率膜20と、シリコン窒化膜よりなる酸素拡散防止膜22とが順次積層されてなるゲート絶縁膜25が形成される。

【0046】

次いで、酸素拡散防止膜22上に、例えばCVD法により、膜厚150nmのポリシリコン膜34を形成する（図3（b）を参照）。

【0047】

ポリシリコン膜34の成膜は、一般的に、還元性雰囲気下で行われる。本実施形態による半導体装置の製造方法では、このようなポリシリコン膜34の成膜工程の前に、良好な酸素伝導体として知られる酸化ハフニウム膜よりなる高誘電率膜20上に、高誘電率膜20よりも酸素の拡散係数の低いシリコン窒化膜よりなる酸素拡散防止膜22が形成されている。このため、還元性雰囲気下でのポリシリコン膜34の成膜の際に、第1の素子領域14の高誘電率膜20の下に形成されたシリコン酸化膜18の還元反応が抑制される。これにより、シリコン酸化膜18の還元に起因するゲート絶縁膜の絶縁性の低下を抑制することができ、第1の素子領域14におけるゲートリーク電流の発生を抑制することができる。

【0048】

次いで、リソグラフィー及びエッチング技術を用いてポリシリコン膜34をパターニングすることにより、第1の素子領域14の酸素拡散防止膜22上、及び第2の素子領域16の酸素拡散防止膜22上のそれぞれに、ポリシリコン膜34よりなるゲート電極24を形成する（図3（c）を参照）。

【0049】

次いで、ゲート電極24をマスクとしてドーパント不純物をイオン注入し、シリコン基板10内に、ゲート電極24に自己整合で、LDD構造の低濃度拡散層28aを形成する（図3（d）を参照）。

【0050】

次いで、全面に、例えばCVD法によりシリコン酸化膜36を形成する（図4（a）を参照）。続いて、形成したシリコン酸化膜36を異方性エッチングすることにより、ゲート電極24の側壁にサイドウォール絶縁膜26を形成する（図4（b）を参照）。

【0051】

次いで、ゲート電極24及びサイドウォール絶縁膜26をマスクとして、ドーパント不純物をイオン注入し、LDD構造の高濃度拡散層28bを形成する（図4（c）を参照）。これにより、低濃度拡散層28a及び高濃度拡散層28bから構成されるLDD構造のソース／ドレイン拡散層30が形成される。

【0052】

こうして、図1に示す本実施形態による半導体装置が製造される。

【0053】

このように、本実施形態によれば、シリコン酸化膜18と酸化ハフニウム膜よりなる高誘電率膜20との積層膜上に、高誘電率膜20よりも酸素の拡散係数が低い酸素拡散防止膜22を形成するので、還元性雰囲気下での処理の際に、第1の素子領域14の高誘電率膜20の下に形成されたシリコン酸化膜18の還元反応を抑制することができる。これにより、シリコン酸化膜18の還元に起因するゲート絶縁膜23の絶縁性の低下を抑制することができ、第1の素子領域14におけるゲートリーク電流の増大によるトランジスタ特性の劣化を抑制することができる。したがって、異なるゲート絶縁膜23、25を有するMOS構造が混在する半導体装置の高性能化及び信頼性の向上を図ることができる。

【0054】

[第2実施形態]

本発明の第2実施形態による半導体装置及びその製造方法について図5乃至図7を用いて説明する。図5は本実施形態による半導体装置の構造を示す断面図、図6及び図7は本実施形態による半導体装置の製造方法を示す工程断面図である。なお、第1実施形態による半導体装置及びその製造方法と同様の構成要素については同一の符号を付し説明を省略し或いは簡略にする。

【0055】

まず、本実施形態による半導体装置の構造について図5を用いて説明する。

【0056】

シリコン基板10に、素子分離絶縁膜12により第1の素子領域14と第2の素子領域16とが画定されている。

【0057】

第1の素子領域14のシリコン基板10上には、シリコン酸化膜18と、ハフニウムアルミネート ($\text{Hf}_{0.5}\text{Al}_{0.5}\text{O}_2$) 膜よりなる高誘電率膜38とが順次積層されてなるゲート絶縁膜39が形成されている。

【0058】

第2の素子領域16のシリコン基板10上には、ハフニウムアルミネート膜よりなる高誘電率膜38がゲート絶縁膜として形成されている。

【0059】

第1の素子領域14の高誘電率膜38上、及び第2の素子領域16の高誘電率膜38上には、それぞれゲート電極24が形成されている。ゲート電極24の側壁には、サイドウォール絶縁膜26が形成されている。

【0060】

シリコン基板10内には、ゲート電極24に自己整合で、ドーパント不純物が低濃度に導入され、これにより低濃度拡散層28aが形成されている。さらに、シリコン基板10内には、サイドウォール絶縁膜26及びゲート電極24に自己整合で、ドーパント不純物が高濃度に導入され、これにより高濃度拡散層28bが形成されている。これら低濃度拡散層28a及び高濃度拡散層28bにより、LDD構造のソース／ドレイン拡散層30が構成されている。

【0061】

こうして、第1の素子領域14には、ゲート電極24と、ソース／ドレイン拡散層30とを有し、ゲート絶縁膜39がシリコン酸化膜18を含み厚くなっている高耐圧のトランジスタが形成されている。また、第2の素子領域16には、ゲート電極24と、ソース／ドレイン拡散層30とを有し、ゲート絶縁膜が高誘電率膜38のみよりなり薄くなっている低電圧動作のトランジスタが形成されている。

【0062】

本実施形態による半導体装置は、第1の素子領域14におけるシリコン酸化膜18上に、所定のアルミナ含有率のハフニウムアルミネート膜よりなる高誘電率膜38を有することに主たる特徴がある。

【0063】

ハフニウムアルミネート膜は、アルミナ含有率が高くなると、還元性雰囲気にも曝露されても容易には還元されなくなるという特性を有している。このような難還元性を有するハフニウムアルミネート膜よりなる高誘電率膜38の存在により、製造工程における還元性雰囲気下での処理等の際に、高誘電率膜38の下に形成されているシリコン酸化膜18の還元反応を抑制することができる。これにより、第1の素子領域14において、ゲート絶縁膜39の絶縁性の低下を抑制することができ、ゲートリーク電流の増大によるトランジスタ特性の劣化を抑制することができる。なお、シリコン酸化膜18の還元反応を十分に抑制するため、高誘電率膜38として用いるハフニウムアルミネート膜のアルミナ含有率は、例えば50%以上であることが望ましい。

【0064】

次に、本実施形態による半導体装置の製造方法について図6及び図7を用いて説明する。

【0065】

まず、第1実施形態による場合と同様にして、シリコン基板10上にシリコン酸化膜18を形成した後、第2の素子領域16のシリコン基板10表面を露出する（図6（a）を参照）。

【0066】

次いで、全面に、例えばCVD法により、膜厚3nmのハフニウムアルミネート膜よりなる高誘電率膜38を形成する。ハフニウムアルミネート膜よりなる高誘電率膜の成膜条件は、例えば、原料ガスとしてテトラターシャルブトキシハフニウム（ $\text{Hf}(\text{O}-\text{t}-\text{Bu})_4$ ）、トリターシャルブチルアルミニウム（ $\text{Al}(\text{t}-\text{Bu})_3$ ）、酸素ガスを用い、基板温度を500℃とする。このとき、原料ガスの流量比を調整し、例えば、50%以上のアルミナを含むハフニウムアル

ミネート膜よりなる高誘電率膜 38 を形成する。

【0067】

次いで、高誘電率膜 38 上に、例えば CVD 法により、膜厚 150 nm のポリシリコン膜 22 を形成する（図 6（b）を参照）。

【0068】

本実施形態による半導体装置の製造方法では、還元性雰囲気下で行われるポリシリコン膜 34 の成膜工程の前に、ハフニウムアルミネート膜よりなる高誘電率膜 38 がシリコン酸化膜 18 上に形成されている。ハフニウムアルミネート膜は、アルミナの含有率が例えば 50% 以上と高くなると、還元性雰囲気に曝露されても容易には還元されなくなる。還元性雰囲気下でのポリシリコン膜 34 の成膜の際に、第 1 の素子領域 14 のハフニウムアルミネート膜よりなる高誘電率膜 38 の下に形成されたシリコン酸化膜 18 の還元反応も抑制される。これにより、シリコン酸化膜 18 の還元に起因するゲート絶縁膜 39 の絶縁性の低下を抑制することができ、第 1 の素子領域 14 におけるゲートリーク電流の発生を抑制することができる。

【0069】

次いで、リソグラフィー及びエッチング技術を用いてポリシリコン膜 34 をパターニングすることにより、第 1 の素子領域 14 の高誘電率膜 38 上、及び第 2 の素子領域 16 の高誘電率膜 38 上のそれぞれに、ポリシリコン膜 34 よりなるゲート電極 24 を形成する（図 6（c）を参照）。

【0070】

次いで、ゲート電極 24 をマスクとしてドーパント不純物をイオン注入し、シリコン基板 10 内に、ゲート電極 24 に自己整合で、LDD 構造の低濃度拡散層 28a を形成する（図 6（d）を参照）。

【0071】

次いで、全面に、例えば CVD 法によりシリコン酸化膜 36 を形成し、シリコン酸化膜 36 を異方性エッチングすることにより、ゲート電極 24 の側壁にサイドウォール絶縁膜 26 を形成する（図 7（a）、図 7（b）を参照）。

【0072】

次いで、ゲート電極 24 及びサイドウォール絶縁膜 26 をマスクとして、ドーパント不純物をイオン注入し、LDD構造の高濃度拡散層 28b を形成する（図 7（c）を参照）。これにより、低濃度拡散層 28a 及び高濃度拡散層 28b から構成される LDD 構造のソース／ドレイン拡散層 30 が形成される。

【0073】

こうして、図 5 に示す本実施形態による半導体装置が製造される。

【0074】

このように、本実施形態によれば、シリコン酸化膜 18 上に、ハフニウムアルミネート膜よりなる高誘電率膜 38 を形成するので、還元性雰囲気下での処理の際に、第 1 の素子領域 14 のハフニウムアルミネート膜よりなる高誘電率膜 38 の下に形成されたシリコン酸化膜 18 の還元反応も抑制される。これにより、シリコン酸化膜 18 の還元に起因するゲート絶縁膜 39 の絶縁性の低下を抑制することができ、第 1 の素子領域 14 におけるゲートリーク電流の増大によるトランジスタ特性の劣化を抑制することができる。したがって、異なるゲート絶縁膜を有する MOS 構造が混在する半導体装置の高性能化及び信頼性の向上を図ることができる。

【0075】

[評価結果]

本発明による半導体装置におけるゲートリーク電流の低減効果について、図 8 を用いて説明する。図 8 は本発明による半導体装置及び従来の半導体装置についてゲート電圧に対するゲートリーク電流を測定した結果を示すグラフである。以下に述べる実施例 1～3、比較例 1、2 についてゲートリーク電流を測定した。

【0076】

実施例 1 は、シリコン基板上に、膜厚 5.5 nm のシリコン酸化膜と、膜厚 3 nm の酸化ハフニウム膜と、膜厚 1 nm のシリコン窒化膜との積層膜を介してポリシリコン膜よりなるゲート電極が形成された n 型 MOS トランジスタである。実施例 1 についての測定結果は、図 8 に示すグラフ中□のプロットで示している。

【0077】

実施例 2 は、シリコン基板上に、膜厚 5.5 nm のシリコン酸化膜と、膜厚 3 nm のハフニウムアルミネート膜との積層膜を介してポリシリコン膜よりなるゲート電極が形成された n 型 MOS トランジスタである。なお、ハフニウムアルミネート膜の組成は、 $\text{Hf}_{0.5}\text{Al}_{0.5}\text{O}_2$ とした。実施例 2 についての測定結果は、図 8 に示すグラフ中○のプロットで示している。

【0078】

比較例 1 は、シリコン基板上に、膜厚 5.5 nm のシリコン酸化膜を介してポリシリコン膜よりなるゲート電極が形成された n 型 MOS トランジスタである。比較例 1 についての測定結果は、図 8 に示すグラフ中●のプロットで示している。

【0079】

比較例 2 は、シリコン基板上に、膜厚 5.5 nm のシリコン酸化膜と膜厚 3 nm の酸化ハフニウム膜との積層膜を介してポリシリコン膜よりなるゲート電極が形成された n 型 MOS トランジスタである。比較例 2 についての測定結果は、図 8 に示すグラフ中△のプロットで示している。

【0080】

比較例 1 と比較例 2 についての測定結果より、まず、シリコン酸化膜上に単に酸化ハフニウム膜が形成された場合は、酸化ハフニウム膜が形成されていない場合と比較して、ゲートリーク電流が著しく増大することが分かる。これは、良好な酸素伝導体である酸化ハフニウム膜により、還元性雰囲気下での処理の際に酸化ハフニウム膜の下に形成されたシリコン酸化膜の還元が促進され、ゲート絶縁膜の絶縁性が低下したことに起因するものと考えられる。

【0081】

一方、比較例 1、2 に比べて、シリコン酸化膜と酸化ハフニウム膜との積層膜上にシリコン窒化膜が形成された実施例 1、及びシリコン酸化膜上にハフニウムアルミネート膜が形成された実施例 2 のいずれの場合も、ゲートリーク電流が十分に低減されていることが分かる。

【0082】

以上の測定結果により、本発明による半導体装置により、ゲートリーク電流が

十分に低減されることが確認された。

【0083】

[変形実施形態]

本発明は上記実施形態に限らず種々の変形が可能である。

例えば、上記実施形態では、高電圧が印加される第1の素子領域14に厚いゲート絶縁膜を形成し、低電圧が印加される第2の素子領域16に薄いゲート絶縁膜を形成する場合を例に説明したが、本発明は、同一半導体基板上の複数の異なる領域に、膜厚、材料等の異なるゲート絶縁膜を形成する場合に広く適用することができる。

【0084】

また、第1実施形態では、高誘電率膜20として、酸化ハフニウム膜よりなるものを形成する場合を例に説明したが、高誘電率膜20はこれに限定されるものではない。高誘電率膜20としては、酸化ハフニウム膜の他、例えば酸化ジルコニウム膜等、少なくともHf又はZrのいずれかを含み、シリコン酸化膜よりも誘電率が高いものを用いることができる。

【0085】

また、第1実施形態では、高誘電率膜20よりも酸素の拡散係数が低い酸素拡散防止膜22として、シリコン窒化膜よりなるものを形成する場合を例に説明したが、酸素拡散防止膜22はこれに限定されるものではない。酸素拡散防止膜22としては、シリコン窒化膜の他、例えばアルミナ膜、アルミニウムシリケート膜、ハフニウムアルミネート膜、ハフニウムシリケート膜等を用いることができる。

【0086】

また、第2実施形態では、高誘電率膜38として、ハフニウムアルミネート膜よりなるものを形成する場合を例に説明したが、高誘電率膜38は、難還元性のものであればハフニウムアルミネート膜に限定されるものではない。高誘電率膜38として、ハフニウムアルミネート膜の他、例えばアルミナ膜、アルミニウムシリケート膜、ハフニウムシリケート膜等を用いることができる。

【0087】

また、上記実施形態では、熱酸化によりシリコン酸化膜 18 を形成する場合を例に説明したが、シリコン酸化膜 18 の形成方法は熱酸化に限定されるものではない。例えば CVD 法等によりシリコン酸化膜 18 を形成してもよい。

【0088】

また、上記実施形態では、第 1 の素子領域 14 のシリコン基板 10 上にシリコン酸化膜 18 を形成する場合を例に説明したが、シリコン酸化膜 18 に代えて、例えばシリコン窒化酸化膜等、酸化シリコンに窒素等の他の元素が導入された酸化シリコン系絶縁膜を第 1 の素子領域 14 のシリコン基板 10 上に形成してもよい。

【0089】

また、上記実施形態では、ポリシリコン膜よりなるゲート電極 24 を形成したが、ゲート電極 24 の材料及び構造はこれに限定されるものではない。例えば、ポリシリコン膜上に、金属シリサイドを積層し、ゲート電極 24 をポリサイド構造としてもよい。また、ポリシリコン膜上に金属膜を積層し、ゲート電極 24 をポリメタル構造としてもよい。また、ポリシリコン膜の代わりに、ゲート絶縁膜上に、窒化チタン、窒化タンタル等よりなる金属膜を形成し、ゲート電極 24 をメタルゲートとしてもよい。

【0090】

また、上記実施形態では、第 1 の素子領域 14 と第 2 の素子領域 16 とにおいて同一のゲート電極 24 を形成したが、第 1 の素子領域 14 と第 2 の素子領域 16 とに、互いに材料、構造等が異なるゲート電極を形成してもよい。

【0091】

(付記 1) 半導体基板上に形成され、酸化シリコン系絶縁膜と、前記酸化シリコン系絶縁膜上に形成された高誘電率膜と、前記高誘電率膜上に形成され、前記高誘電率膜よりも酸素の拡散係数が低い酸素拡散防止膜とを含むゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極とを有することを特徴とする半導体装置。

【0092】

(付記 2) 半導体基板の第 1 の領域上に形成され、酸化シリコン系絶縁膜と

、前記酸化シリコン系絶縁膜上に形成された高誘電率膜と、前記高誘電率膜上に形成され、前記高誘電率膜よりも酸素の拡散係数が低い酸素拡散防止膜とを含む第1のゲート絶縁膜と、前記第1のゲート絶縁膜上に形成された第1のゲート電極と、前記半導体基板の第2の領域上に形成され、前記高誘電率膜と、前記高誘電率膜上に形成された前記酸素拡散防止膜とを含む第2のゲート絶縁膜と、前記第2のゲート絶縁膜上に形成された第2のゲート電極とを有することを特徴とする半導体装置。

【0093】

(付記3) 付記1又は2記載の半導体装置において、前記高誘電率膜は、酸化ハフニウム膜又は酸化ジルコニウム膜であることを特徴とする半導体装置。

【0094】

(付記4) 付記1乃至3のいずれかに記載の半導体装置において、前記酸素拡散防止膜は、シリコン窒化膜、アルミナ膜、アルミニウムシリケート膜、ハフニウムアルミネート膜、又はハフニウムシリケート膜であることを特徴とする半導体装置。

【0095】

(付記5) 半導体基板上に形成され、酸化シリコン系絶縁膜と、前記酸化シリコン系絶縁膜上に形成された難還元性の高誘電率膜とを含むゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極とを有することを特徴とする半導体装置。

【0096】

(付記6) 半導体基板の第1の領域上に形成され、酸化シリコン系絶縁膜と、前記酸化シリコン系絶縁膜上に形成された難還元性の高誘電率膜とを含む第1のゲート絶縁膜と、前記第1のゲート絶縁膜上に形成された第1のゲート電極と、前記半導体基板の第2の領域上に形成され、前記高誘電率膜を含む第2のゲート絶縁膜と、前記第2のゲート絶縁膜上に形成された第2のゲート電極とを有することを特徴とする半導体装置。

【0097】

(付記7) 付記5又は6記載の半導体装置において、前記高誘電率膜は、ハ

フニウムアルミネート膜であることを特徴とする半導体装置。

【0 0 9 8】

(付記 8) 付記 7 記載の半導体装置において、前記ハフニウムアルミネート膜のアルミナ含有率は、5 0 % 以上であることを特徴とする半導体装置。

【0 0 9 9】

(付記 9) 半導体基板上に、酸化シリコン系絶縁膜を形成する工程と、前記酸化シリコン系絶縁膜上に、高誘電率膜を形成する工程と、前記高誘電率膜上に、前記高誘電率膜よりも酸素の拡散係数の低い酸素拡散防止膜を形成する工程と、前記酸素拡散防止膜上に、ゲート電極を形成する工程とを有することを特徴とする半導体装置の製造方法。

【0 1 0 0】

(付記 1 0) 第 1 の領域の半導体基板上に、酸化シリコン系絶縁膜を形成する工程と、前記第 1 の領域の前記酸化シリコン系絶縁膜上及び第 2 の領域の前記半導体基板上に、高誘電率膜を形成する工程と、前記第 1 の領域の前記高誘電率膜上及び前記第 2 の領域の前記高誘電率膜上に、前記高誘電率膜よりも酸素の拡散係数の低い酸素拡散防止膜を形成する工程と、前記第 1 の領域の前記酸素拡散防止膜上に第 1 のゲート電極を形成し、前記第 2 の領域の前記酸素拡散防止膜上に第 2 のゲート電極を形成する工程とを有することを特徴とする半導体装置の製造方法。

【0 1 0 1】

(付記 1 1) 付記 9 又は 1 0 記載の半導体装置の製造方法において、前記高誘電率膜を形成する工程では、酸化ハフニウム膜又は酸化ジルコニウム膜よりなる前記高誘電率膜を形成することを特徴とする半導体装置の製造方法。

【0 1 0 2】

(付記 1 2) 付記 9 乃至 1 1 のいずれかに記載の半導体装置の製造方法において、前記酸素拡散防止膜を形成する工程では、シリコン窒化膜、アルミナ膜、アルミニウムシリケート膜、ハフニウムアルミネート膜、又はハフニウムシリケート膜よりなる前記酸素拡散防止膜を形成することを特徴とする半導体装置の製造方法。

【0103】

(付記13) 半導体基板上に、酸化シリコン系絶縁膜を形成する工程と、前記酸化シリコン系絶縁膜上に、難還元性の高誘電率膜を形成する工程と、前記高誘電率膜上に、ゲート電極を形成する工程とを有することを特徴とする半導体装置の製造方法。

【0104】

(付記14) 第1の領域の半導体基板上に、酸化シリコン系絶縁膜を形成する工程と、前記第1の領域の前記酸化シリコン系絶縁膜上及び第2の領域の前記半導体基板上に、難還元性の高誘電率膜を形成する工程と、前記第1の領域の前記高誘電率膜上に第1のゲート電極を形成し、前記第2の領域の前記高誘電率膜上に第2のゲート電極を形成する工程とを有することを特徴とする半導体装置の製造方法。

【0105】

(付記15) 付記13又は14記載の半導体装置の製造方法において、前記高誘電率膜を形成する工程では、ハフニウムアルミネート膜よりなる前記高誘電率膜を形成することを特徴とする半導体装置の製造方法。

【0106】

(付記16) 付記15記載の半導体装置の製造方法において、前記ハフニウムアルミネート膜のアルミナ含有率は、50%以上であることを特徴とする半導体装置の製造方法。

【0107】

(付記17) 付記9乃至16のいずれかに記載の半導体装置の製造方法において、前記ゲート電極を形成する工程は、還元性雰囲気下で導電膜を形成する工程と、前記導電膜を前記ゲート電極にパターンニングする工程とを有することを特徴とする半導体装置の製造方法。

【0108】**【発明の効果】**

以上の通り、本発明によれば、半導体基板上に形成され、酸化シリコン系絶縁膜と、酸化シリコン系絶縁膜上に形成された高誘電率膜と、高誘電率膜上に形成

され、高誘電率膜よりも酸素の拡散係数が低い酸素拡散防止膜とを含むゲート絶縁膜と、ゲート絶縁膜上に形成されたゲート電極とを有するので、酸化シリコン系絶縁膜の還元反応を抑制し、ゲートリーク電流の発生を抑制することができる。

【0109】

また、本発明によれば、半導体基板の第1の領域上に形成され、酸化シリコン系絶縁膜と、酸化シリコン系絶縁膜上に形成された高誘電率膜と、高誘電率膜上に形成され、高誘電率膜よりも酸素の拡散係数が低い酸素拡散防止膜とを含む第1のゲート絶縁膜と、第1のゲート絶縁膜上に形成された第1のゲート電極と、半導体基板の第2の領域上に形成され、高誘電率膜と、高誘電率膜上に形成された酸素拡散防止膜とを含む第2のゲート絶縁膜と、第2のゲート絶縁膜上に形成された第2のゲート電極とを有するので、第1の領域の酸化シリコン系絶縁膜の還元反応を抑制し、ゲートリーク電流の発生を抑制することができる。これにより、膜厚、材料等の異なるゲート絶縁膜を有するMOS構造が混在する場合においても、素子特性の劣化を招くことなく高誘電率膜をゲート絶縁膜として用いることができる。

【0110】

また、本発明によれば、半導体基板上に形成され、酸化シリコン系絶縁膜と、酸化シリコン系絶縁膜上に形成された難還元性の高誘電率膜とを含むゲート絶縁膜と、ゲート絶縁膜上に形成されたゲート電極とを有するので、酸化シリコン系絶縁膜の還元反応を抑制し、ゲートリーク電流の発生を抑制することができる。

【0111】

また、本発明によれば、半導体基板の第1の領域上に形成され、酸化シリコン系絶縁膜と、酸化シリコン系絶縁膜上に形成された難還元性の高誘電率膜とを含む第1のゲート絶縁膜と、第1のゲート絶縁膜上に形成された第1のゲート電極と、半導体基板の第2の領域上に形成され、高誘電率膜を含む第2のゲート絶縁膜と、第2のゲート絶縁膜上に形成された第2のゲート電極とを有するので、第1の領域の酸化シリコン系絶縁膜の還元反応を抑制し、ゲートリーク電流の発生を抑制することができる。これにより、膜厚、材料等の異なるゲート絶縁膜を有

する MOS 構造が混在する場合においても、素子特性の劣化を招くことなく高誘電率膜をゲート絶縁膜として用いることができる。

【図面の簡単な説明】

【図 1】

本発明の第 1 実施形態による半導体装置の構造を示す断面図である。

【図 2】

本発明の第 1 実施形態による半導体装置の製造方法を示す工程断面図（その 1）である。

【図 3】

本発明の第 1 実施形態による半導体装置の製造方法を示す工程断面図（その 2）である。

【図 4】

本発明の第 1 実施形態による半導体装置の製造方法を示す工程断面図（その 3）である。

【図 5】

本発明の第 2 実施形態による半導体装置の構造を示す断面図である。

【図 6】

本発明の第 2 実施形態による半導体装置の製造方法を示す工程断面図（その 1）である。

【図 7】

本発明の第 2 実施形態による半導体装置の製造方法を示す工程断面図（その 2）である。

【図 8】

本発明による半導体装置及び従来の半導体装置についてゲート電圧に対してゲートリーク電流を測定した結果を示すグラフである。

【図 9】

膜厚の異なるゲート絶縁膜を形成する従来の半導体装置の製造方法を示す工程断面図（その 1）である。

【図 10】

膜厚の異なるゲート絶縁膜を形成する従来の半導体装置の製造方法を示す工程断面図（その 2）である。

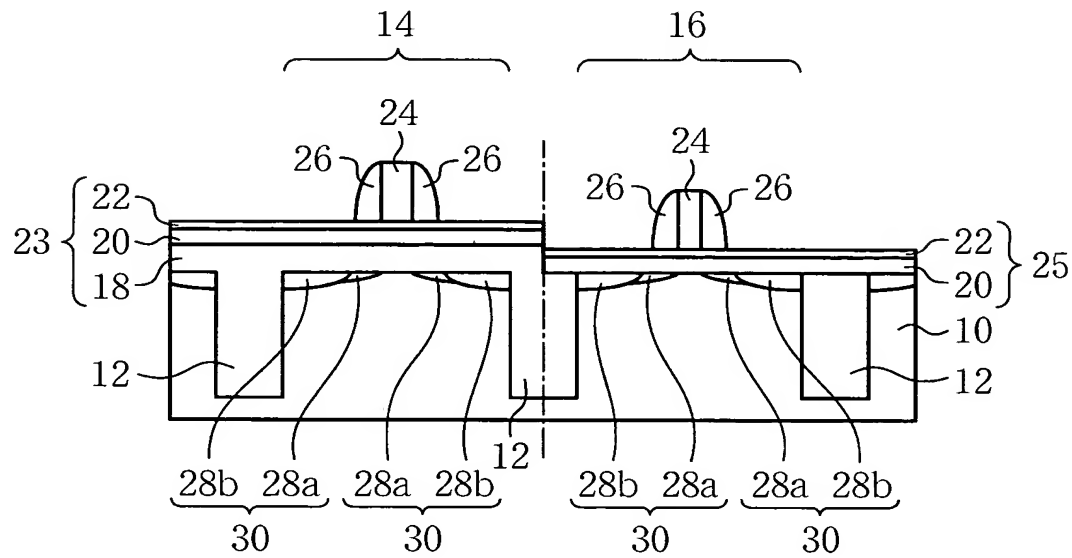
【符号の説明】

- 1 0…シリコン基板
- 1 2…素子分離絶縁膜
- 1 4…第 1 の素子領域
- 1 6…第 2 の素子領域
- 1 8…シリコン酸化膜
- 2 0…高誘電率膜
- 2 2…酸素拡散防止膜
- 2 3…ゲート絶縁膜
- 2 4…ゲート電極
- 2 5…ゲート絶縁膜
- 2 6…サイドウォール絶縁膜
- 2 8 a…低濃度拡散層
- 2 8 b…高濃度拡散層
- 3 0…ソース／ドレイン拡散層
- 3 2…フォトレジスト膜
- 3 4…ポリシリコン膜
- 3 6…シリコン酸化膜
- 3 8…高誘電率膜
- 3 9…ゲート絶縁膜
- 1 0 0…シリコン基板
- 1 0 2…素子分離絶縁膜
- 1 0 4…シリコン酸化膜
- 1 0 6…フォトレジスト膜
- 1 0 8…シリコン酸化膜
- 1 1 0…高誘電率膜

【書類名】 図面

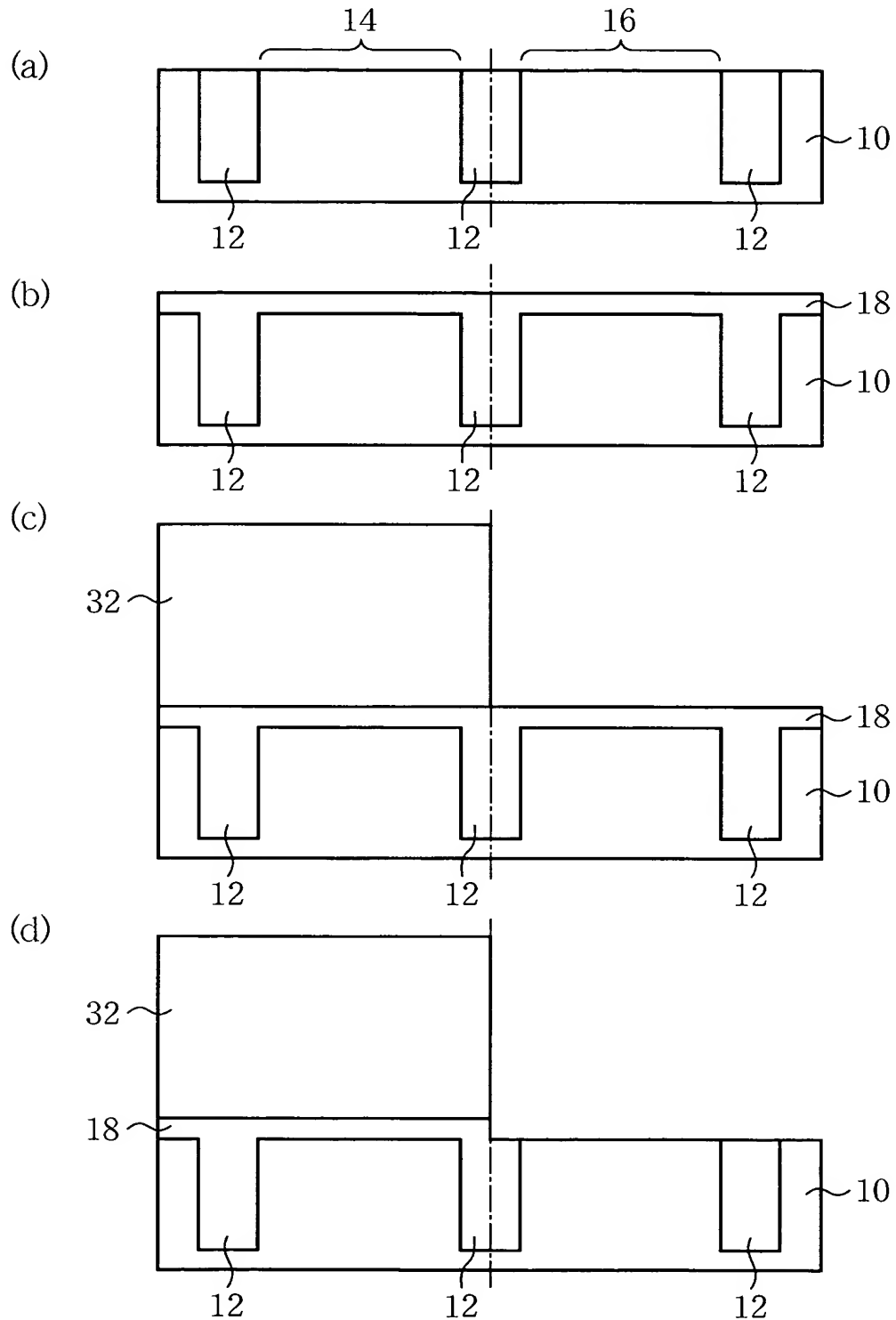
【図 1】

本発明の第1実施形態による半導体装置の構造を示す断面図



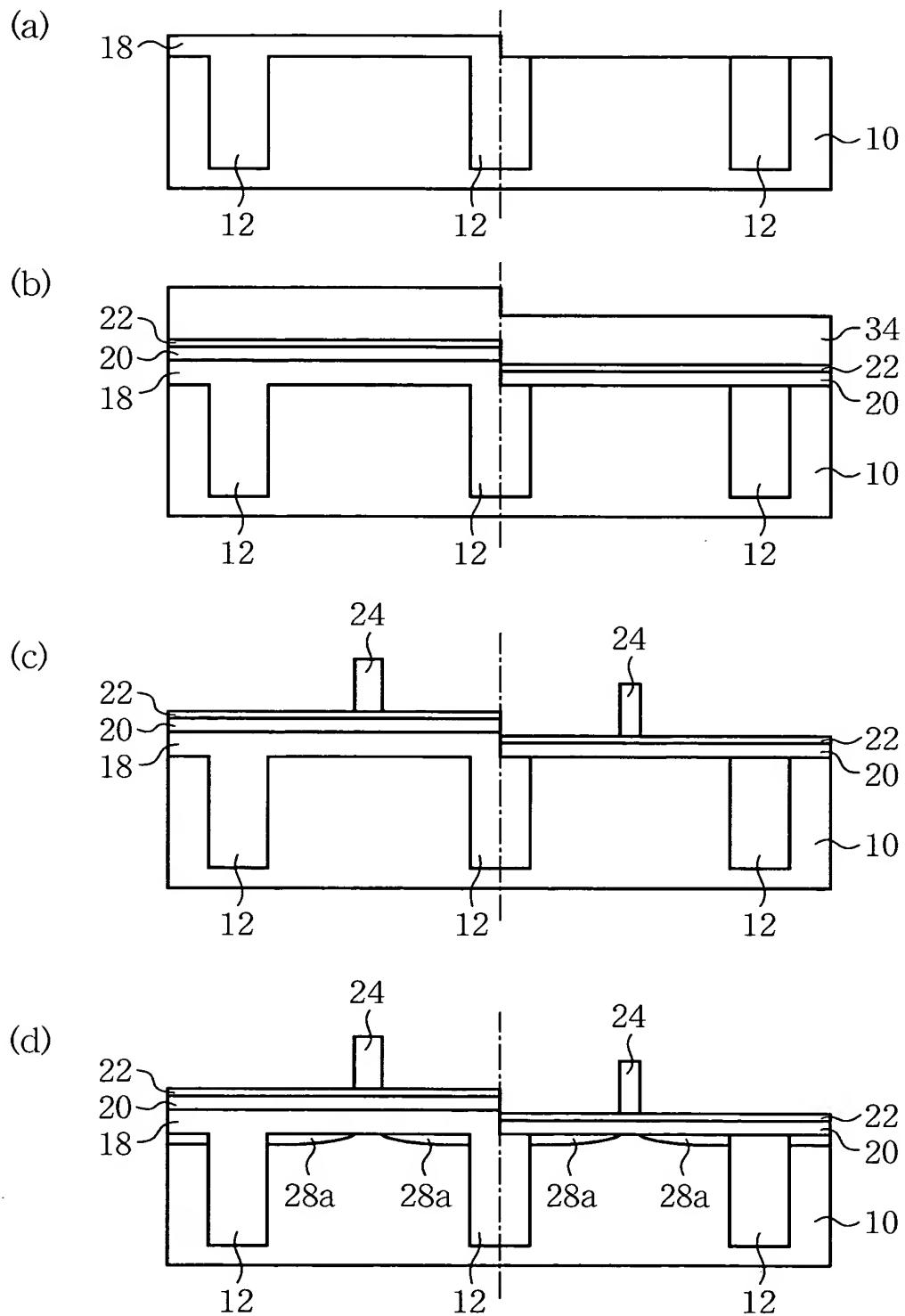
【図 2】

本発明の第1実施形態による半導体装置の製造方法を示す
工程断面図（その1）



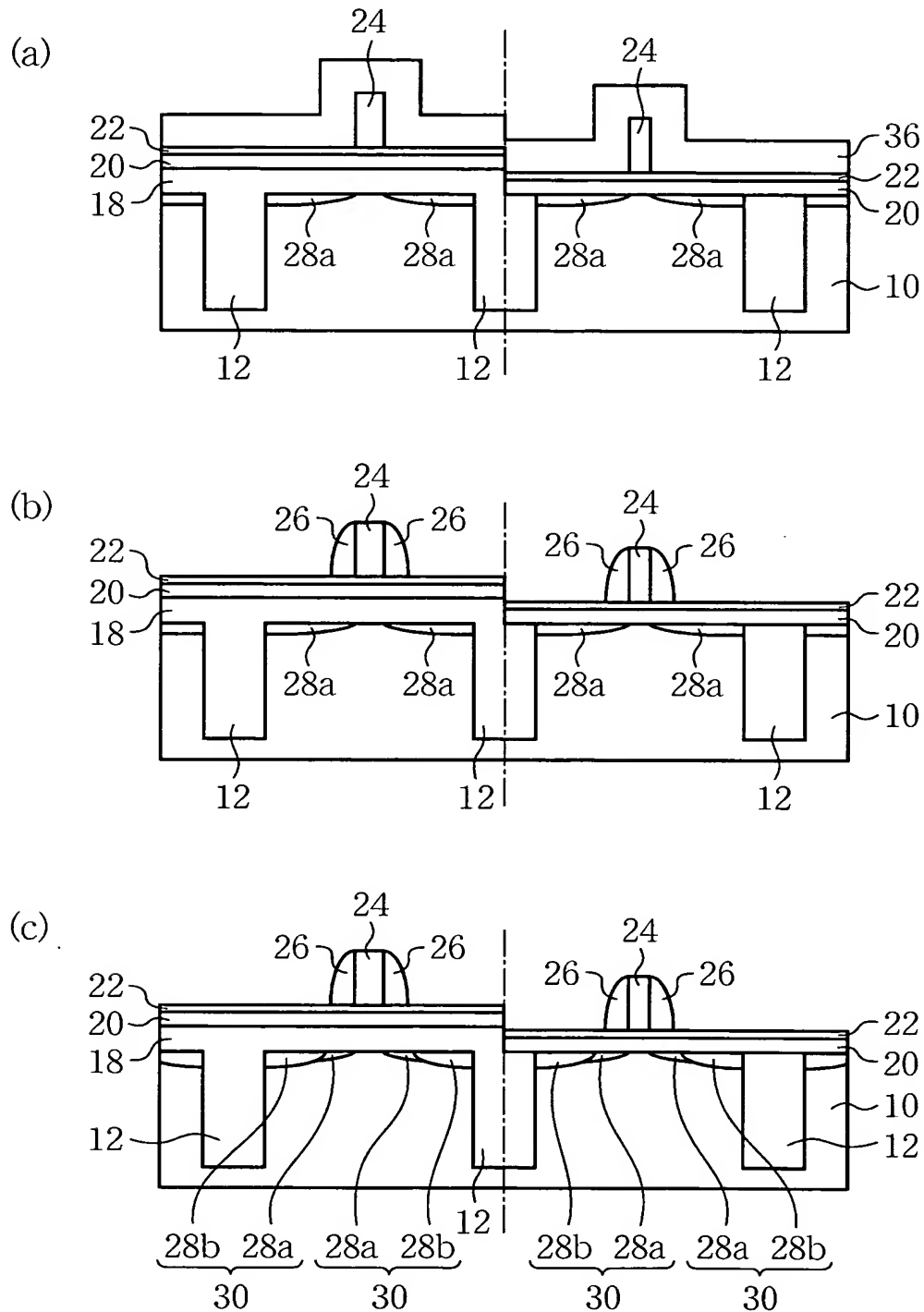
【図 3】

本発明の第1実施形態による半導体装置の製造方法を示す
工程断面図（その2）



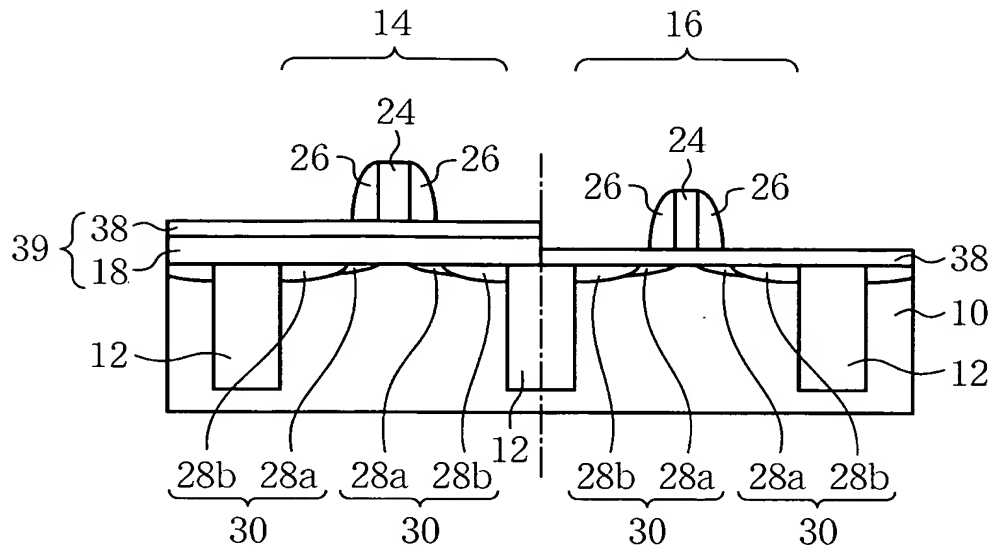
【図 4】

本発明の第1実施形態による半導体装置の製造方法を示す
工程断面図（その3）



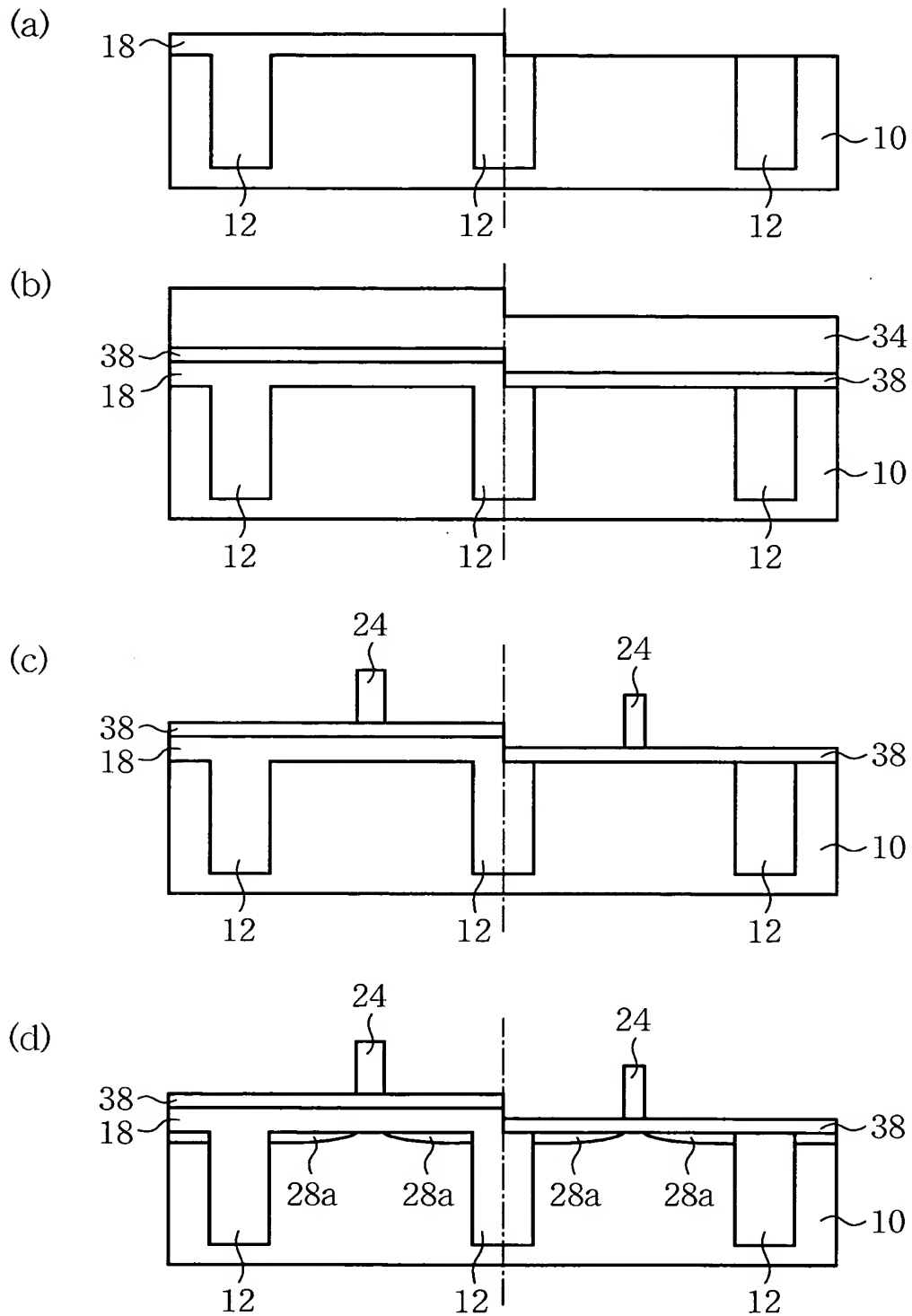
【図 5】

本発明の第2実施形態による半導体装置の構造を示す断面図



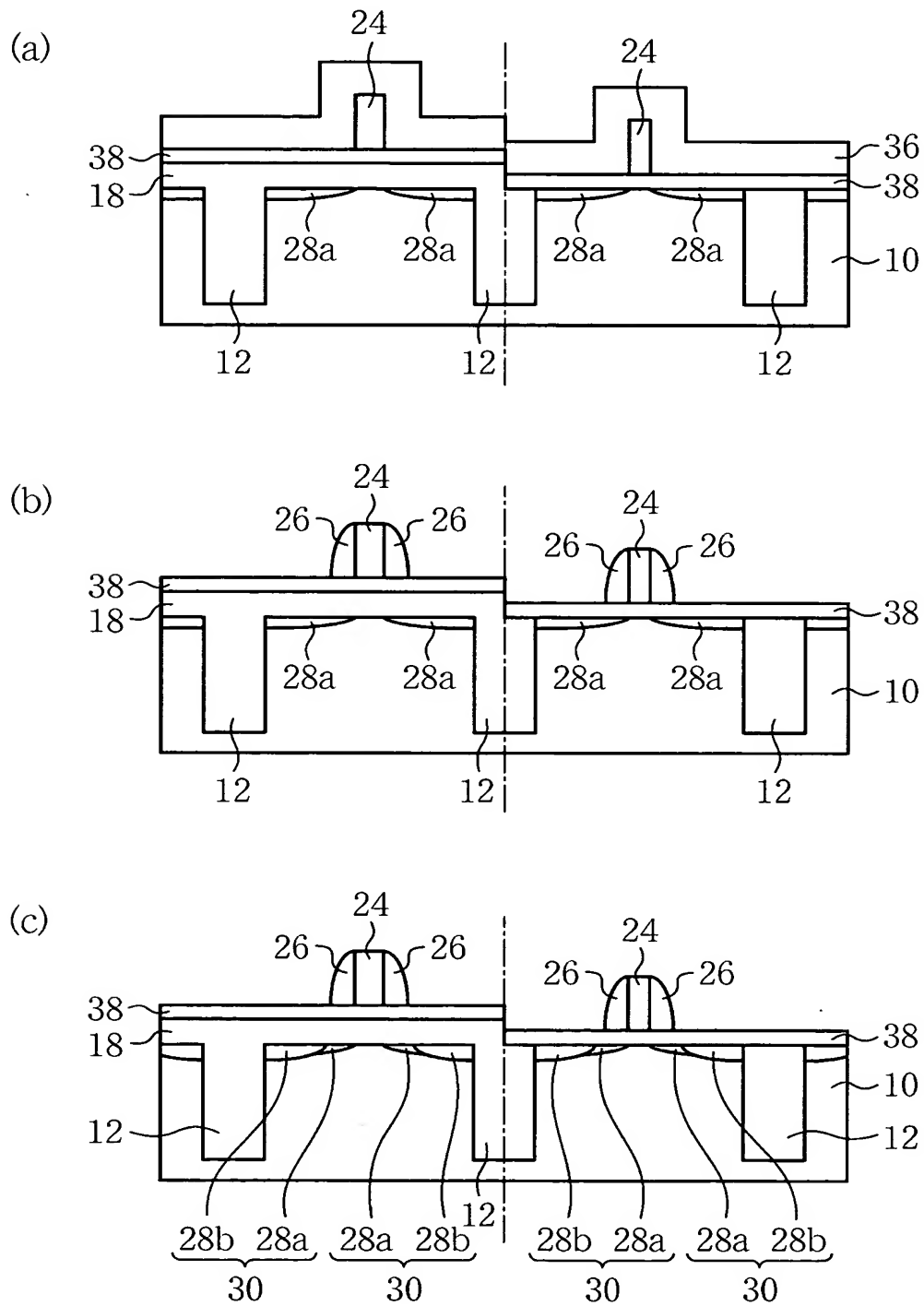
【図 6】

本発明の第2実施形態による半導体装置の製造方法を示す
工程断面図（その1）



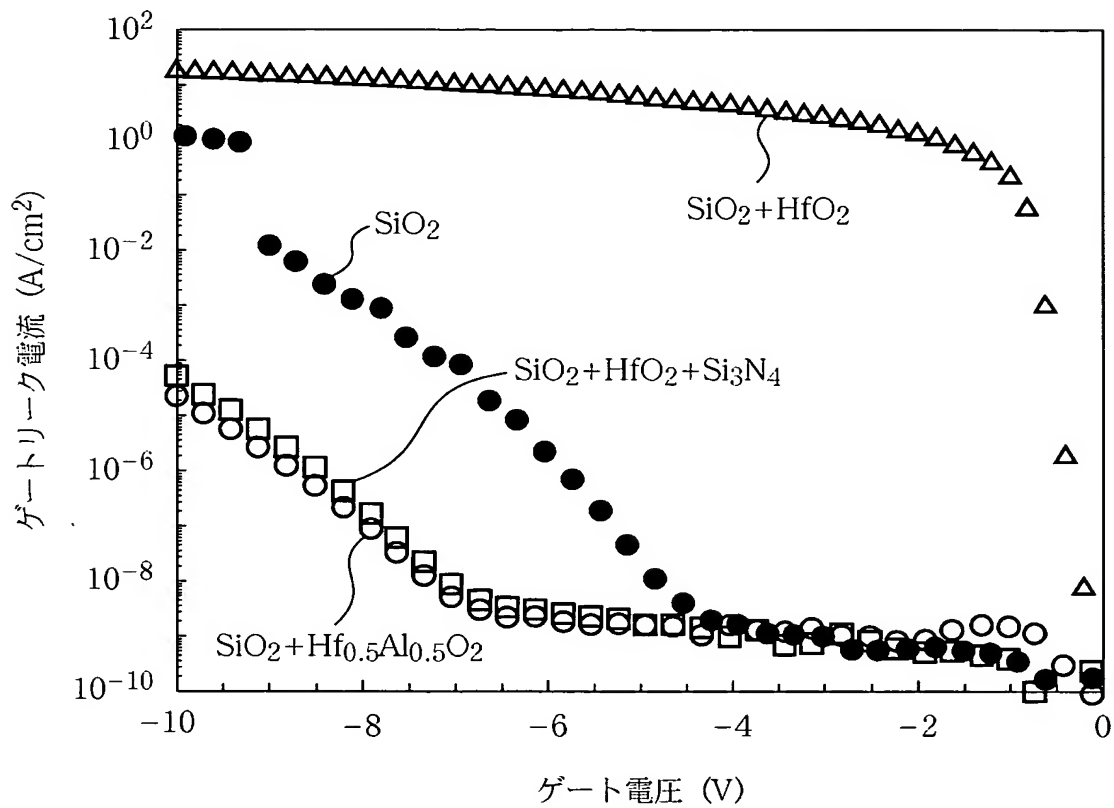
【図 7】

本発明の第2実施形態による半導体装置の製造方法を示す
工程断面図（その2）



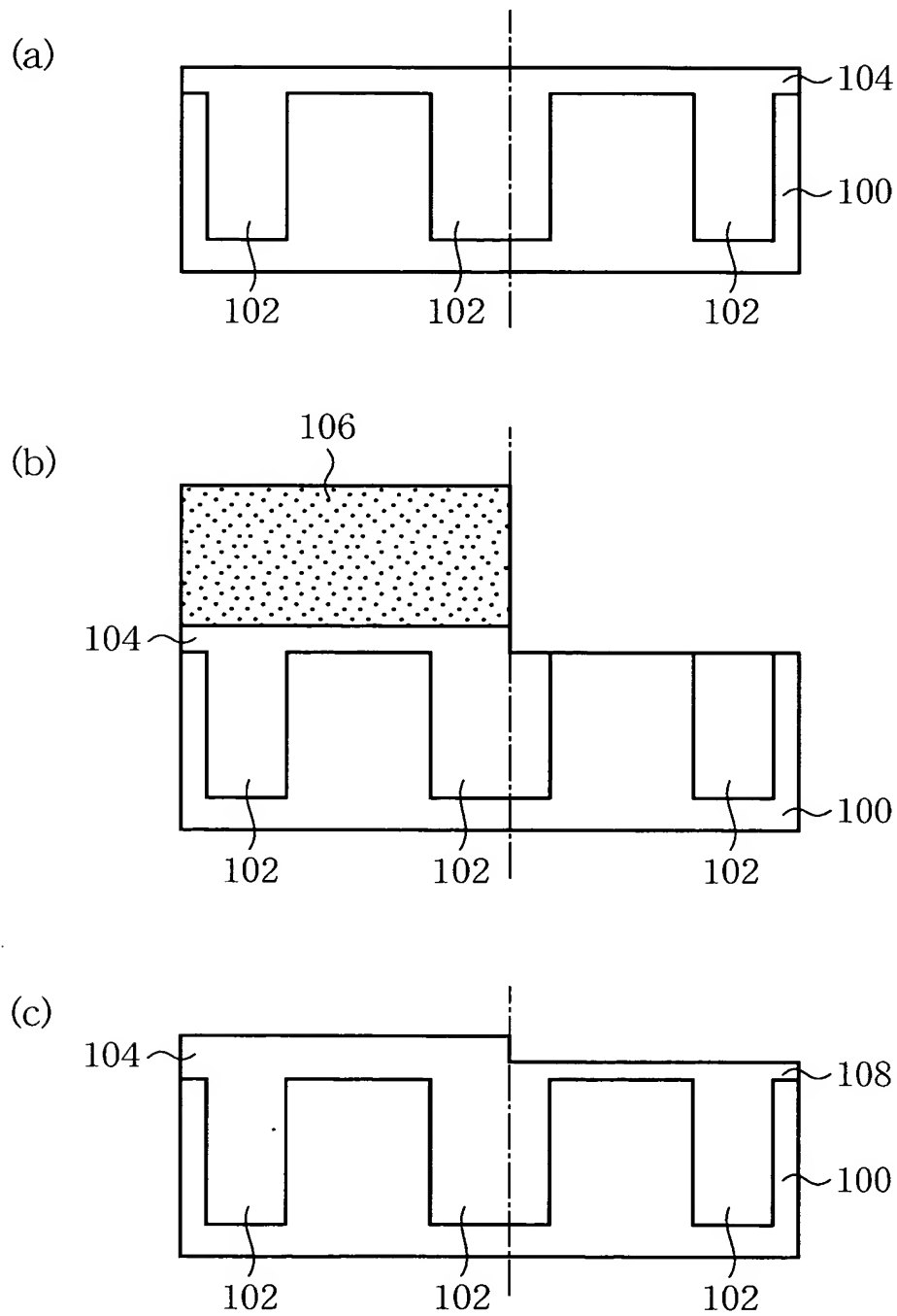
【図 8】

本発明による半導体装置及び従来の半導体装置について
ゲート電圧に対してゲートリーク電流を測定した結果を示すグラフ



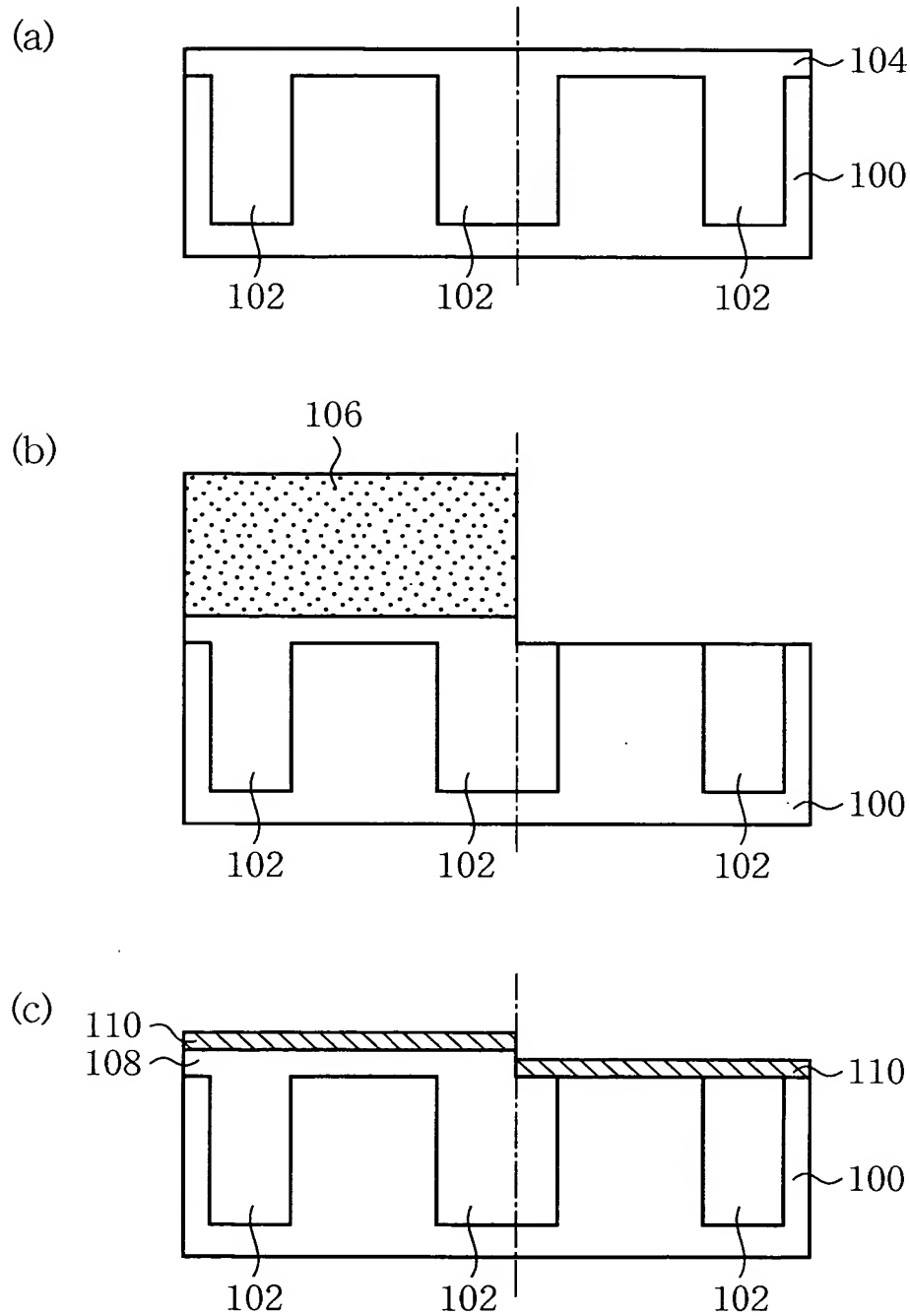
【図 9】

膜厚の異なるゲート絶縁膜を形成する従来の半導体装置の
製造方法を示す工程断面図（その1）



【図 10】

膜厚の異なるゲート絶縁膜を形成する従来の半導体装置の
製造方法を示す工程断面図（その2）



【書類名】 要約書

【要約】

【課題】 膜厚、材料等の異なるゲート絶縁膜を有するMOS構造が混在する場合に、素子特性の劣化を招くことなく高誘電率膜をゲート絶縁膜として用いる半導体装置及びその製造方法を提供する。

【解決手段】 第1の素子領域14のシリコン基板10上に形成され、シリコン酸化膜18と、シリコン酸化膜18上に形成された高誘電率膜20と、高誘電率膜20上に形成され、高誘電率膜20よりも酸素の拡散係数が低い酸素拡散防止膜22とを含むゲート絶縁膜23と、ゲート絶縁膜23上に形成されたゲート電極24と、第2の素子領域16のシリコン基板10上に形成され、高誘電率膜20と、高誘電率膜20上に形成された酸素拡散防止膜22とを含むゲート絶縁膜25と、ゲート絶縁膜25上に形成されたゲート電極24とを有する。

【選択図】 図1

特願 2 0 0 3 - 0 3 1 8 6 3

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 2 2 3]

1. 変更年月日

1 9 9 6 年 3 月 2 6 日

[変更理由]

住所変更

住 所

神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号

氏 名

富士通株式会社